

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62223893 A**(43) Date of publication of application: **01 . 10 . 87**

(51) Int. Cl.

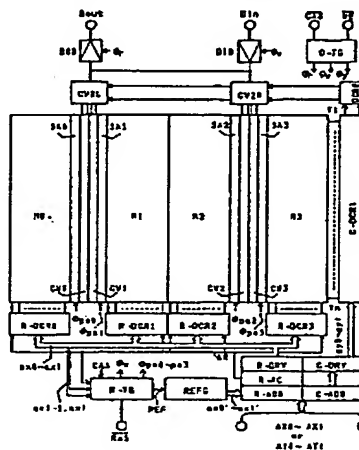
**G11C 11/34**(21) Application number: **61065671**(71) Applicant: **HITACHI LTD**(22) Date of filing: **26 . 03 . 86**(72) Inventor: **KAJITANI KAZUHIKO**(54) **DYNAMIC TYPE RAM**

COPYRIGHT: (C)1987,JPO&amp;Japio

(57) Abstract:

**PURPOSE:** To substantially shorten a cycle by performing a refresh to a faulty and defective memory cell at every refresh to a common address in the plural memory arrays.

**CONSTITUTION:** The word lines of the plural memory arrays are selectively selected, a sense amplifier is operated to prolong a refresh cycle, the address of the word line in which the faulty and defective memory cell is present is stored as the common address of the respective memory arrays and when it is designated, all the memory arrays M0WM3 and the sense amplifier are operated. Accordingly, since the remedy and the refresh cycles of the faulty memory cell can be prolonged, the consumption of power can be remarkably reduced. Since the parasitic capacity of a signal line can be made minimum by disposing the address detection circuit of the faulty and defective memory cell adjacently to a corresponding address buffer, an output load capacity viewing from the address buffer is reduced and the high speed of the operation can be performed.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-223893

⑪ Int. Cl.<sup>4</sup>  
G 11 C 11/34

識別記号  
3 6 3

庁内整理番号  
M-8522-5B

⑬ 公開 昭和62年(1987)10月1日

審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 ダイナミック型RAM

⑮ 特 願 昭61-65671

⑯ 出 願 昭61(1986)3月26日

⑰ 発 明 者 梶 谷 一 彦 青梅市今井2326番地 株式会社日立製作所デバイス開発センタ内  
⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑲ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

ダイナミック型RAM

2. 特許請求の範囲

1. 複数のメモリアレイのうち選択されるメモリセルが存在するメモリアレイのワード線選択動作を行うロウアドレス選択回路と、上記メモリアレイの選択動作に応じて活性化されるセンスアンプと、記憶回路に記憶されたアドレス信号とメモリアレイの選択のために供給されるアドレス信号とを比較し、その一致検出出力により複数のメモリアレイに対して選択状態を指示するアドレス検出回路とを含むことを特徴とするダイナミック型RAM。

2. 上記メモリアレイの選択のために供給されるアドレス信号は、内部回路に形成されるリフレッシュ用アドレス信号を含むものであることを特徴とする特許請求の範囲第1項記載のダイナミック型RAM。

3. 上記アドレス記憶回路は、ヒューズ手段の選

択的な切断によりアドレス信号の記憶を行うものであることを特徴とする特許請求の範囲第1又は第2項記載のダイナミック型RAM。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、ダイナミック型RAM（ランダム・アクセス・メモリ）に関するもので、例えば、自動リフレッシュ回路を内蔵するものに利用して有効な技術に関するものである。

〔従来の技術〕

ダイナミック型メモリセルは、情報を電荷の形態で記憶する記憶用キャパシタとアドレス選択用のMOSFETとによって構成される。半導体基板において形成されたメモリセルにおいては、上記キャパシタに蓄積された電荷が、リーク電流等によって時間とともに減少してしまう。このため、常にメモリセルに正確な情報を記憶させておくためには、メモリセルに記憶されている情報を、その情報が失われる前に読み出して、これを増幅して再び同じメモリセルに書き込む動作、いわゆる

リフレッシュ動作を行う必要がある。例えば、64 Kビットのダイナミック型RAMにおけるメモリの自動リフレッシュ方式として、『電子技術』誌のVol 23、No 3のpp 30～33に示されている自動リフレッシュ回路が公知である。すなわち、ダイナミック型RAMに、リフレッシュ制御用の外部端子を設けて、この外部端子に所定のレベルのリフレッシュ制御信号REFを印加することにより、ダイナミック型RAM内の複数のメモセルが自動的にリフレッシュされるオートリフレッシュ機能と、上記リフレッシュ信号REFを所定のレベルにしつづけることにより内蔵のタイマー回路を作動させて、一定周期毎に上記リフレッシュ動作を行うセルフリフレッシュ機能とが設けられている。

〔発明が解決しようとする問題点〕

上記のような自動リフレッシュ回路においては、全てのメモセルに対して同じ周期によってリフレッシュ動作を行うものであるため、ワーストケースを考慮した約2 $\mu$ sないし4 $\mu$ s程度の極く短い

リフレッシュ周期が選ばれる。ダイナミック型RAMにあつては、このように極く短い時間間隔で常にリフレッシュ動作を行うものであり、その消費電力の大半は、リフレッシュ動作によるものになってしまう。

本願発明者は、メモセルの情報記憶保持時間について検討した結果、大半のメモセルにおける情報記憶保持時間が約400～1000 $\mu$ s程度と大きく、複数の限られたメモセルのみがプロセス不良等により落ちこぼれ的に数 $\mu$ s程度に悪くなっていることを見出した。そこで、本願発明者は、メモセルの情報記憶保持時間に見合うようにそのリフレッシュ周期を異ならせることを考えた。

この発明の目的は、低消費電力化を図ったダイナミック型RAMを提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば、下記の通りである。すなわち、複数のメモリアレイのうち、選択されるメモセルが存在するメモリアレイのセンスアンプのみを動作状態とする構成とし、落ちこぼれ的な不良メモセルが存在するワード線のアドレスをアドレス記憶回路に記憶させておき、ロウアドレス信号と上記記憶されたアドレス信号とを比較し、その一致検出出力により複数のメモリアレイに対してワード線及びセンスアンプの動作を指示するようにするものである。

〔作用〕

上記した手段によれば、複数のメモリアレイにおいて共通のアドレスに対するリフレッシュ動作毎に、上記落ちこぼれ的な不良メモセルに対するリフレッシュが行われることによって、その周期を実質的に短くできる。

〔実施例〕

第1図には、この発明が適用されたダイナミック型RAMの一実施例のブロック図が示されてい

る。同図の主要な各回路ブロックは、半導体チップにおける実際の幾何学的な配置には合わせて描かれており、公知のCMOS（相補型MOS）集積回路技術によって、特に制限されないが、1個の単結晶シリコンから成るような半導体基板上に形成される。

RAMを構成する種々の回路は、後の説明から明らかとなるように、ロウ系及びカラム系タイミング発生回路R-TG、C-TGからそれぞれ発生される種々のタイミング信号によってそれぞれの動作が制御される。しかしながら、第1図においては、図面が複雑になることを防ぐためにロウ系及びカラム系タイミング発生回路R-TG、C-TGと種々の回路との間に設けられるべき信号線は省略されている。

この実施例のダイナミック型RAMは、特に制限されないが、4つのメモリアレイM0ないしM3を持つ。メモリアレイM0ないしM3のそれぞれは、折り返しビット線（データ線）方式をもって構成される。それ故に、各メモリアレイM0な

いしM3は、それぞれ対とされるべき複数のデータ線、すなわち複数の相補データ線と、それぞれのデータ入出力端子がそれぞれに対応されたデータ線に結合される複数のダイナミック型メモリセルと、それぞれダイナミック型メモリセルの選択端子が結合される複数のワード線とを持つ。データ線は、第1図において図示されていないけれども、同図の横方向に延長される。ワード線は、同図の縦方向に延長される。

メモリアレイM0ないしM3は、それぞれ同じ数のメモリセルがマトリクス配置されることによって同じ記憶容量を持つようにされる。各メモリアレイM0ないしM3の相補データには、それぞれセンスアンプSA0ないしSA3の入出力ノードに結合される。

センスアンプSA0ないしSA3は、ロウアドレスストローブ信号RASに基づいて形成されるセンスアンプの活性化タイミング信号と、ロウ系のアドレス信号ai-1、aiの解読信号に応じてロウ系タイミング発生回路R-TGから出力さ

れるクイミング信号φpa0ないしφpa3により、選択されるメモリセルが存在するメモリアレイM0ないしM3に対応したもののみが動作状態にされる。なお、第1図の回路ブロックとしてのセンスアンプSA1ないしSA3には、それぞれブリッジ回路、ダミーセル及びアクティブリストア回路等が含まれていると理解されたい。

図示のRAMは、各メモリアレイにおける複数のメモリセルのうちの所望のメモリセル及び複数のダミーセルのうちの所望のダミーセル選択するためのアドレス選択回路を持つ。アドレス選択回路は、ロウアドレスバッファR-ADB、カラムアドレスバッファC-ADB、ロウアドレスデコードR-DCR0ないしR-DCR3、カラムアドレスデコードC-DCR1~2、カラムスイッチ回路CW0ないしCW3から構成される。

アドレス選択回路を構成する各回路は、それぞれの動作が、ロウ及びカラム系のそれぞれのタイミング発生回路R-TG、C-TGから発生されるタイミング信号によって制御される。

ロウアドレスバッファR-ADB及びカラムアドレスバッファC-ADBの入力端子が結合されたRAMの外部端子には、アドレスマルチプレクス方式に従って外部ロウアドレス信号AX0~AX1及びカラムアドレス信号AY0~AY1が時分割的に供給される。

ロウアドレスバッファR-ADBは、ロウアドレスストローブ信号RASの発生に同期してアドレス信号取り込み制御のためのタイミング信号がロウ系タイミング発生回路R-TGから発生されると、それに応答して外部ロウアドレス信号AX0~AX1を取り込む。その結果として、ロウアドレスデコードR-DCR0ないしR-DCR3に供給されるべきロウ系の内部相補アドレス信号ax0~ax1がアドレスバッファR-ADBから出力駆動回路R-DRVを介して出力される。カラムアドレスバッファC-ADBは、カラムアドレスストローブ信号CASの発生に同期してカラム系タイミング発生回路C-TGから同様なタイミング信号が発生されると、それに応答して外

部カラムアドレス信号を取り込み、出力駆動回路C-DRVを介してカラムアドレスデコードC-DCR1に供給されるべきカラム系の内部相補アドレス信号ay0~ay1を出力する。

ロウアドレスデコードR-DCR0ないしR-DCR3は、第1図においてメモリアレイM0ないしM3の下側に配置され、それぞれの出力端子が対応するメモリアレイのワード線に及びダミーワード線に結合されている。これらロウアドレスデコードR-DCR0ないしR-DCR3は、それぞれの動作が、ロウ系タイミング発生回路R-TGから発生されるワード線選択タイミング信号φxによって制御され、そのタイミング信号φxに同期してワード線選択信号及びダミーワード線選択信号を出力する。

従って、各メモリアレイM0ないしM3のワード線は、ロウアドレスデコードR-DCR0ないしR-DCR3によって形成されたワード線選択信号がそれぞれ供給されることによって選択される。この場合、各ロウアドレスデコードR-DC

R0ないしR-DCR3は、全ビットのロウアドレス信号 $a \times 0$ ないし $a \times 1$ を受けて、それを解読する。これにより、メモリアレイM0ないしM4のうち、選択されるべきメモリセルが存在する1つのメモリアレイに対してのみ1つのロウアドレスデコードによるワード線及びダミーワード線の選択動作が行われ、残り3つのメモリアレイは、ワード線が非選択（プリチャージ状態）のままにされる。

カラムアドレスデコードC-DCR1は、カラム系タイミング発生回路C-TGから出力されるデータ線選択タイミング信号もしくはカラム選択タイミング信号 $\phi$ によってその動作が制御され、そのタイミング信号に同期してデータ線選択信号もしくはカラム選択信号を出力する。特に制限されないが、カラムアドレスデコードC-DCR1は、図示のようにメモリアレイの右側に配置されている。カラムアドレスデコードC-DCR1の図示しない出力線すなわちデータ線選択線は、メモリアレイ上に延長されてカラムスイッチ回路C

W0ないしCW3に結合されている。カラムアドレスデコードC-DCR1は、それ自体本発明に直接関係が無いのでその詳細を図示しないが、各データ線選択線にそれぞれ出力を与える複数の単位回路から成る。

カラムスイッチ回路CW0ないしCW3は、メモリアレイM0ないしM3に対応されて設けられた共通データ線と相補データとの間にそれぞれ設けられ、それぞれカラムアドレスデコードC-DCR1によって形成されたデータ線選択信号が共通に供給される。

上記4対の共通データ線の中から一対（1ビット）の信号の選択を行うため、メモリアレイM0ないしM3に対応された4対の共通データ線と、データ入力バッファDIBの出力端子及びデータ出力バッファDOBの入力端子との間に第2のカラムスイッチ回路CW2L及びCW2Rが設けられている。これらの第2のカラムスイッチ回路CW2LとCW2Rは、それぞれの動作が第2のカラムアドレスデコード回路DCR2によって形成

される選択信号によって制御される。

上記データ入力バッファDIBは、その動作がタイミング発生回路C-TGから発生される書き込みタイミング信号 $\phi_w$ によって制御され、外部端子Dinから供給された書き込み信号に対応された書き込み信号を形成して、それを上記第2のカラムスイッチ回路CW2L又はCW2Rに供給する。データ入力バッファDIBは、それが非動作状態に置かれているとき、高出力インピーダンス特性を示す。

データ出力バッファDOBは、同様にその動作がタイミング発生回路C-TGから発生される読み出しタイミング信号 $\phi_r$ によって制御され、上記第2のカラムスイッチ回路CW2L又はCW2Rを通して出力された読み出し信号を受けて、これを増幅して外部端子Doutへ送出する。

情報の読み出し／書き込み動作を制御するためのタイミング発生回路C-TGは、外部端子から供給されるカラムアドレスストローブ信号CAS及びライトイネーブル信号WEを受けることによ

って書き込み／読み出しモードの識別と、それに応じたカラム系及び上記種々のタイミング信号を形成する。

ロウ系タイミング発生回路R-TGは、外部端子から供給されるロウアドレスストローブ信号RASと、メモリアレイM0ないしM3を指示する2ビットのアドレス信号 $a_{i-1}$ 、 $a_i$ 及び内部CAS信号を受けることによって、ロウ系の各種タイミング信号を形成する。この実施例に従うと、上記のように4つのメモリアレイM0ないしM3のうち、選択されるべきメモリセルが存在するもののみに対してワード線及びダミーワード線が選択状態にされる。それ故、センスアンプSA0ないしSA3を選択的に活性化させるタイミング信号 $\phi_{pa0}$ ないし $\phi_{pa3}$ が必要とされる。このようなタイミング信号 $\phi_{pa0}$ ないし $\phi_{pa3}$ を発生するために上記アドレス信号 $a_{i-1}$ 、 $a_i$ が利用される。また、内部CAS信号は、リフレッシュモードの識別に利用される。すなわち、ロウアドレスストローブ信号RASがハイレベルからロウレ

ベルにされるタイミングで、CAS信号のレベルがハイレベルならそれを判定してリフレッシュ信号REFを出力する(CASにフォローRASリフレッシュ)。

リフレッシュ制御回路REFCは、リフレッシュ用アドレスカウンタ回路を含んでいる。リフレッシュ制御回路REFCは、上記リフレッシュ信号REFが供給されると起動され、リフレッシュ用アドレス信号 $a \times 0' \sim a \times i'$ をロウアドレスバッファR-ADBに供給する。ロウアドレスバッファR-ADBは、入力にマルチプレクサ機能を持ち、上記リフレッシュモードのときには、その入力が外部アドレス端子( $AX0 \sim AXi$ )から上記リフレッシュ用アドレス端子( $a \times 0' \sim a \times i'$ )に切り換えられる。

この実施例では、前述のようにその記憶時間が短くされた落ちこぼれの不良メモセルのワード線に対応したロウアドレスを記憶するアドレス記憶回路と、この不良アドレス信号と、アクセスしないリフレッシュのためにアドレスバッファR

-ADBから供給されたアドレス信号とを比較して記憶された落ちこぼれの不良アドレスが入力されたことを検出するアドレス比較回路とからなるアドレス検出回路R-ACが設けられる。このアドレス検出回路R-ACは、落ちこぼれの不良アドレスに対するメモリアクセス又はリフレッシュを検出して、上記4つのメモリアレイM0ないしM3の全てを同時に選択状態にさせる。このような同時選択を可能にするため、上記記憶回路に記憶されるアドレス信号は、上記各メモリアレイM0ないしM3に共通に用いられる下位ビット(メモリアレイM0ないしM3を選択するためのアドレス信号 $a \times i - 1$ と $a \times i$ を除いたビット)とされる。これによって、1つの落ちこぼれの不良アドレスは、他の3つのメモリアレイにおいて落ちこぼれの不良メモセルが存在するか否かとは無関係に共通のアドレスとして記憶される。

特に制限されないが、この実施例では、高速動作化のために、言い換えるならば、アドレスバッファの出力負荷容量を減らすとともに、冗長回路

に供給されるアドレス信号の伝達速度を早くするために、上記アドレス比較回路R-ACは、ロウアドレスバッファR-ADBとその出力駆動回路R-DRVとの間に配置される。

また、特に制限されないが、上記アドレス比較回路R-ACに含まれる落ちこぼれの不良アドレスの記憶回路は、ポリシリコン層を利用したヒューズ手段を用いた記憶回路から構成される。このため、ヒューズ手段の選択的な切断(溶断)のために、上記アドレスバッファR-ADBを通したアドレス信号がそれぞれ利用される。

第2図には、上記アドレス比較回路R-ACを構成するイネーブル回路及び単位回路の具体的な実施例の回路図が示されている。

以下の説明において、特に説明しない場合、MOSFET(絶縁ゲート型電界効果トランジスタ)はNチャンネルMOSFETである。なお、同図において、チャンネル部分に矢印が付加されたMOSFETはPチャンネル型である。

上記1つの冗長回路は、上記のような下位ビッ

トのアドレス信号のビット数に応じた数だけのアドレスの記憶回路及びアドレス比較回路からなる単位回路UAC0と、1つのイネーブル回路とにより構成される。

端子P1~P4は、上記落ちこぼれの不良アドレスを蓄積するためのプログラム用電圧供給端子であり、所定の落ちこぼれの不良アドレスを書込むときに、端子P1、P3には電源電圧Vccが与えられ、端子P2、P4には回路の接地電位が与えられる。

上記イネーブル回路は、次の各回路素子により構成される。負荷MOSFETQ1と駆動MOSFETQ2とはインバータを構成し、負荷MOSFETQ1のドレイン、ゲートは、端子P3に接続される。このインバータの出力は、ヒューズF1を切断させる駆動MOSFETQ3のゲートに接続される。このMOSFETQ3のドレインと端子P1との間にヒューズF1が設けられ、そのソースは端子P2に接続される。また、上記MOSFETQ2のゲートは、端子P4に接続される。

上記端子P4と電源電圧Vccの間には抵抗R2が設けられている。上記ヒューズF1は、特に制限されないが、ポリシリコンによって構成されている。所定の不良アドレスを番込むときに、端子P1、P3には電源電圧Vccが与えられ、端子P2、P4には回路の接地電位が与えられる。この結果、上記インバータの出力はハイレベルとなり、駆動MOSFETQ3がオン状態にされるため、ヒューズF1が自動的に切断される。

このヒューズF1が溶断しているか否かを判別するために、次のCMOSインバータ及びラッチ回路が設けられている。

CMOSナンドゲート回路G1とG2の出力と一方の入力とが互いに交差結線されることによりラッチ回路が構成される。

上記MOSFETQ3フレイシ出力は、CMOSインバータ回路N1入力と上記ラッチ回路を構成する一方のナンドゲート回路G2の他方の入力に供給される。上記CMOSインバータ回路N1の出力は、上記ラッチ回路を構成する他方のナ

ンドゲート回路G1の他方の入力と上記駆動MOSFETQ3に並列形態とされた帰還用のMOSFETQ4のゲートに伝えられる。上記他方のナンドゲート回路G2の出力は、CMOSインバータ回路N2の入力に供給される。このCMOSインバータ回路N2の出力からイネーブル信号 $\phi_k$ が出力される。

上記落ちこぼれ的な不良アドレスの単位回路UAC0は、次の各回路素子によって構成される。落ちこぼれ的な不良アドレスの記憶回路は、上記イネーブル回路と同様なMOSFETQ5ないしQ9及びヒューズF2と、CMOSインバータ回路N3及びラッチ形態のCMOSナンドゲート回路G3、G4から構成される。上記不良アドレスの番込みのために、アドレスバッファR-ADBから送出される非反転のアドレス信号a0は、インバータを構成する駆動MOSFETQ6と並列形態とされたMOSFETQ7のゲートに供給される。所定の不良アドレスを番込むときに、上記のように端子P1、P3には電源電圧Vccが与え

られ、端子P2、P4には回路の接地電位が与えられている。番込むべき上記不良アドレス信号a0がハイレベルならMOSFETQ7はオン状態にされる。これにより、ヒューズF2に結合された駆動MOSFETQ8がオフ状態にされるため、ヒューズF2に切断電流が流れないことより、ヒューズF2の切断が行われない。上記不良アドレス信号a0がロウレベルならMOSFETQ7はオフ状態にされる。これにより、ヒューズF2に結合された駆動MOSFETQ8がオン状態にされるため、ヒューズF2に切断電流が流れることになり、ヒューズF2の切断が行われる。

上記ヒューズF2が切断されているか否かを判別するために、上記同様なCMOSインバータ回路N3とその帰還用MOSFETQ9及びラッチ形態にされたナンドゲート回路G3、G4が設けられている。

上記不良アドレスに対応された1ビット分のアドレス比較回路は、直列形態とされたPチャンネルMOSFETQ10、Q11とNチャンネルM

OSFETQ12、Q13及びPチャンネルMOSFETQ14、Q15とNチャンネルMOSFETQ16、Q17と、CMOSインバータ回路N4とにより構成される。上記2つの直列MOSFET回路におけるMOSFETQ11とQ12の接続点及びMOSFETQ15とQ16の接続点は、共通接続されて出力端子c0とされる。

アドレスバッファR-ADB（又はC-ADB）から出力される非反転のアドレス信号a0は、一方の直列MOSFET回路におけるMOSFETQ11、Q12のゲートに供給される。これと対応された他方の直列MOSFET回路におけるMOSFETQ15、Q16のゲートには、インバータ回路N4により反転されたアドレス信号 $\bar{a}_0$ が供給される。

ヒューズF2の切断の有無に従った不良アドレス信号a0'と $\bar{a}_0'$ は上記2つの直列MOSFET回路における残りのMOSFETQ10とQ17及びQ13とQ14のように、PチャンネルMOSFETとNチャンネルMOSFETに対し

て交差的に供給される。上記同様な単位回路UAC0が残りのアドレス信号 $a_1 \sim a_{i-2}$ に対しても同様に設けられる。

今、不良アドレスとして、アドレス信号 $a_0$ をハイレベルとして(論理“1”)を記憶させた場合、言い換えるならば、ヒューズF2が切断されていない場合、CMOSラッチ回路を構成するナンドゲート回路G3の出力 $a_0'$ はハイレベル、ナンドゲート回路G4の出力 $\overline{a_0'}$ はロウレベルになる。したがって、NチャンネルMOSFET Q17とPチャンネルMOSFET Q14とがオン状態になっている。

メモリアクセスなしリフレッシュモードにより入力されたアドレス信号 $a_0$ がロウレベルならPチャンネルMOSFET Q10がオン状態に、インバータ回路N4で反転されたアドレス信号 $\overline{a_0}$ のハイレベルによりNチャンネルMOSFET Q16がオン状態にされる。このように、四アドレス信号が不一致のときには、上記オン状態のNチャンネルMOSFET Q16、Q17とにより

ロウレベル(論理“0”)の出力信号C0が送出される。

メモリアクセスなしリフレッシュモードにより入力されたアドレス信号 $a_0$ がハイレベルならNチャンネルMOSFET Q12がオン状態に、インバータ回路N4で反転されたアドレス信号 $\overline{a_0}$ のロウレベルによりPチャンネルMOSFET Q15がオン状態にされる。このように、四アドレス信号が一致のときには、上記オン状態のPチャンネルMOSFET Q14、Q15とによりハイレベル(論理“1”)の出力信号 $c_0$ が送出される。残りのアドレス信号 $a_1 \sim a_{i-2}$ に対応した上記回路から出力信号 $c_1 \sim c_{i-2}$ が送出される。

上記アドレス信号の全ビットについて、上記ハイレベル(論理“1”)の一致出力信号 $c_0 \sim c_{i-2}$ と、イネーブル信号 $\phi_k$ の論理“1”とが得られたとき、論理和回路G5の出力により、上記不良アドレスの検出が行われ、各ロウアドレスデコーダR-DCR0ないしR-DCR3及びロ

ウ系タイミング発生回路R-TGに対して上位2ビット( $a_{i-1}$ 、 $a_i$ )をアクティブとみなす信号ARを発生する。これにより、各ロウアドレスデコーダR-DCR0ないしR-DCR3は、下位ビットのアドレス $a_0$ ないし $a_{i-2}$ に対応したワード線及びダミーワード線の選択信号を形成する。また、ロウ系タイミング発生回路R-TGは、タイミング信号 $\phi_{pa0}$ ないし $\phi_{pa3}$ を同時にアクティブにするものである。

これにより、例えばメモリアレイM0の特定のワード線に落ちこぼれ的な不良メモリセルが存在する場合、リフレッシュ(メモリアクセス時と同様)において、他のメモリアレイM1ないしM3のリフレッシュ動作のときにも、上記ワード線に対応したアドレスのワード線に結合されたメモリセルのリフレッシュが行われる時に同時にリフレッシュされる。この結果、落ちこぼれ的な不良メモリセルのリフレッシュ周期は、他のメモリセルの $1/4$ に短くされる。言い換えるならば、上記落ちこぼれ的なメモリセルを基準にして考えると、

他のメモリセルは4倍の長い周期によってそのリフレッシュ動作が行われることになる。これによって、上記4つのメモリアレイをそれぞれ逐次選択する場合には、 $1/4$ と大幅に消費電力を低減できるものとなる。

なお、イネーブル信号 $\phi_k$ は、その論理“0”出力により上記信号ARの発生を禁止する。

上記した実施例から得られる作用効果は、下記の通りである。すなわち、

(1)複数のメモリアレイのワード線を選択的に選択状態にし、センスアンプを動作状態にすることによって、リフレッシュ同期を長くしておいて、落ちこぼれ的な不良メモリセルが存在するワード線のアドレスを各メモリアレイの共通のアドレスとして記憶しておいて、それが指定されたときには全てのメモリアレイとセンスアンプを動作状態にする。これによって、落ちこぼれ的なメモリセルの救済とリフレッシュ周期を長くすることができるから、消費電力を大幅に低減できるという効果が得られる。



の落ちこぼれ的な不良メモリセルのアドレス検出回路を対応するアドレスバッファに隣接して配置することにより、アドレスバッファと記憶回路及び／又はアドレス比較回路の間の信号線が最短距離を持って構成できる。これにより、上記信号線の寄生容量を最小にできるからアドレスバッファから見た出力負荷容量が軽減されるため、その動作の高速化が可能となるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいふまでもない。例えば、メモリアレイの数は、 $2^n$ であれば何であってもよい。また、メモリアレイを複数組に分割して、分割された複数のメモリアレイをそれぞれ1つとみなして、さらにその内部を4組( $2^2$ であればよい)に分けて、上記同様なリフレッシュのための選択を行うようにするものであってもよい。例えば、第1図において、メモリアレイM0とM1を1組(1つのメモリアレイとみ

なす)とし、M2とM3を他の組として分割し、それぞれ組毎に上記同様な選択動作を行うようにするものであってもよい。この場合には、落ちこぼれ的なメモリセルのリフレッシュ周期を簡単にすると、リフレッシュ周期を2倍に長くできる。また、メモリアレイM0に不良ビットがある場合、メモリアレイM1～M3のいずれか1つのアレイとM0の2つが選択されるようにしてもよい。すなわち、選択されるメモリアレイは、全アレイである必要はなく、少なくとも不良ビットを含みメモリアレイと選択されたメモリセルの存在するメモリアレイが選択され、そのセンスアンプが動作状態とされるものであってもよい。また、落ちこぼれ的な不良アドレスの記憶回路は、所定の配線をレーザー光線を利用して選択的に切断するもの等何であってもよい。落ちこぼれ的な不良アドレスの記憶回路及びアドレス比較回路は、上記CMOS回路の他、NチャンネルMOSFET(又はPチャンネルMOSFET)のみによって構成されるものであってもよい。

ダイナミック型RAMの各回路ブロックの具体的な回路構成は、種々の実施形態を採ることができるものである。例えば、外部端子から供給するアドレス信号は、それぞれ独立した外部端子からロウアドレス信号とカラムアドレス信号とを同時に供給するものとしてもよい。メモリアレイの構成は、例えば、1Mビットのような大記憶容量化を図る場合、第1図において、カラムデコードを中心にし右側にも同様なメモリアレイ及びロウアドレス選択回路を設けるもの、あるいはロウデコードを中心して下側にも同様なメモリアレイを設けるもの等種々の実施形態を採ることができる。また、リフレッシュ用のアドレス信号は、外部端子から供給されてもよい。

この発明は、リフレッシュ動作を必要とするダイナミック型RAMに広く利用できる。

#### (発明の効果)

本願において開示される発明のうちの代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、複数のメモリアレ

イのワード線を選択的に選択状態にし、センスアンプを動作状態にすることによって、リフレッシュ周期を長くしておいて、落ちこぼれ的な不良メモリセルが存在するワード線のアドレスを各メモリアレイの共通のアドレスとして記憶しておいて、それが指定されたときには複数のメモリアレイとセンスアンプを動作状態にすることによって、落ちこぼれ的なメモリセルの救済とリフレッシュ周期を長くすることができる。

#### 4. 図面の簡単な説明

第1図は、この発明に係るダイナミック型RAMの一実施例を示す内部構成ブロック図、

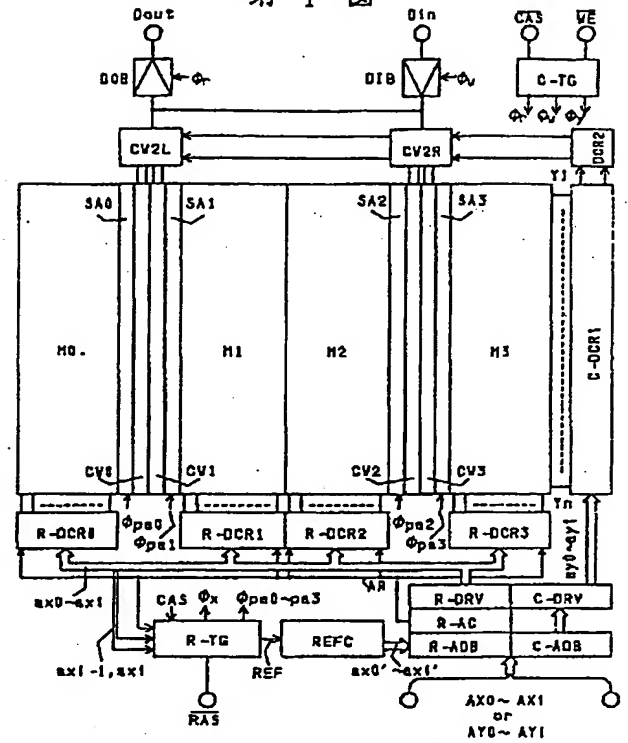
第2図は、そのアドレス検出回路を構成する単位回路の一実施例を示す回路図である。

M0～M3・・・メモリアレイ、SA0～SA3・・・センスアンプ、R-ADB・・・ロウアドレスバッファ、CW0～CW3・・・カラムスイッチ、C-ADB・・・カラムアドレスバッファ、R-DCR0～R-DCR3・・・ロウデアドレスコード、C-DCR1、C-DCR2・・・カラムデコード、

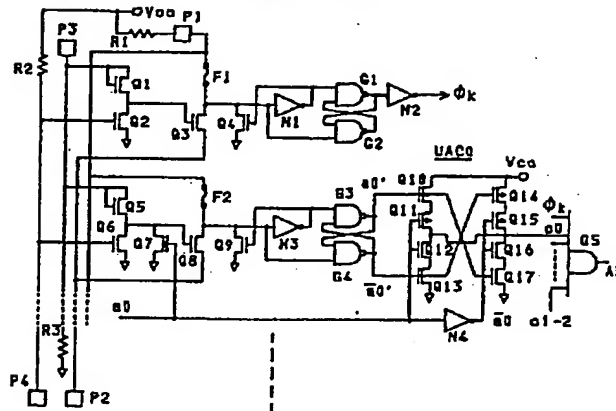
R-TG・・・ロウ系タイミング発生回路、C-T  
G・・・カラム系タイミング発生回路、R-AC・・・  
アドレス検出回路、DIB・・・データ入力バッ  
ファ、DOB・・・データ出力バッファ

代理人弁理士 小川 勝男

第 1 図



第 2 図



【公報種別】特許法第17条の2の規定による補正の掲載  
【部門区分】第6部門第4区分  
【発行日】平成6年(1994)2月10日

【公開番号】特開昭62-223893  
【公開日】昭和62年(1987)10月1日  
【年通号数】公開特許公報62-2239  
【出願番号】特願昭61-65671  
【国際特許分類第5版】

G11C 11/403

【F I】

G11C 11/34 363 M 6628-5L

手続補正書 (自発)

平成 5年 3月 24日

許庁長官 殿

1. 事件の表示

昭和61年特許願第65671号

2. 発明の名称

ダイナミック型RAM

3. 補正をする者

事件との関係 特許出願人

住 所 〒101東京都千代田区神田駿河台四丁目6番地

名 称 (510)株式会社日立製作所

4. 代理人

居 所 〒162 東京都新宿区神楽坂3丁目2番地

神楽坂Kビル6階 電話 03(3269)2611

氏 名 (8581) 弁 理 士 大 日 方 富 雄

5. 補正の対象

- (1) 明細書の特許請求の範囲の欄
- (2) 明細書の発明の詳細な説明の欄

6. 補正の内容

- (1) 特許請求の範囲を別紙のとおり補正する。
- (2) 明細書第7頁第13行目に「相補データ」とあるのを、「相補データ線」と補正する。
- (3) 明細書第17頁第2行目、同第5～6行目および同第12行目にそれぞれ「アドレス比較回路」とあるのを、「アドレス検出回路」と補正する。
- (4) 明細書第17頁第20行目にそれぞれ「冗長回路」とあるのを、「アドレス検出回路」と補正する。

## 別紙

## 特許請求の範囲

1. 複数のワード線と複数のデータ線が互いに直交するように配設されその各交点にメモリセルが配設されてなる複数のメモリアレイと、

外部から供給されるアクセス用アドレス信号または外部もしくは内部のリフレッシュアドレス・カウンタから供給されるリフレッシュ用アドレス信号に基づいて上記メモリアレイ内のワード線の選択動作を行なうローアドレス選択回路と、

外部から供給されるアドレス信号に基づいて上記メモリアレイ内のデータ線の選択動作を行なうカラムアドレス選択回路と、

上記メモリアレイの選択動作に応じて活性化されるセンスアンプと、

予めリフレッシュ不良のメモリセルが属するローアドレスを設定可能なアドレス記憶回路、該アドレス記憶回路に記憶されたアドレスと外部から供給されたアドレス信号を比較するアドレス比較回路、該アドレス比較回路によりアドレスの一致

が検出されたときにリフレッシュ不良のメモリセルを含むメモリアレイおよび他のメモリアレイに対応されたローアドレス選択回路に対して選択状態を指示するための信号を形成する論理回路を含むアドレス検出回路と、

からなり、上記リフレッシュ不良のメモリセルが属するローアドレスのみリフレッシュの周期が短くなるように構成されていることを特徴とするダイナミック型RAM、

2. 上記アドレス検出回路は、予め当該アドレス検出回路がローアドレス選択回路に対して出力する選択状態を指示するための信号を有効にするか無効にするか設定するイネーブル回路を備えていることを特徴とする特許請求の範囲第1項記載のダイナミック型RAM、